

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04282726 A**

(43) Date of publication of application: **07.10.92**

(51) Int. Cl

**G06F 9/32**

(21) Application number: **03047032**

(22) Date of filing: **12.03.91**

(71) Applicant: **FUJITSU LTD**

(72) Inventor:  
**HIDA EIJI**  
**SATO TAIZO**  
**YAMADA KATSUHIKO**

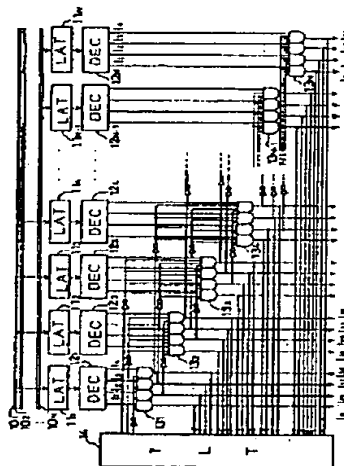
(54) **VARIABLE LENGTH INSTRUCTION DECODING SYSTEM**

(57) Abstract:

PURPOSE: To decode the instruction length of many instructions included in a variable length instruction inputted at an instruction fetching stage in a variable length instruction decoding system by using cycles reduced as much as possible.

CONSTITUTION: At the time of fetching N unit length instructions ( $N \geq 3$ ) in which instruction length is charged by the unit length of each instruction, N decoders  $12_1$  to  $12_N$  receive the supply of n unit length instructions and decode them in each unit length instruction. Then N logical circuit groups  $13_1$  to  $13_N$  respectively form instruction length information for specifying the position of the leading unit length instruction in each instruction based upon the output signals of the decoders  $12_1$  to  $12_N$  and leading specification signals or the output signals of the preceding logical circuit groups. A leading specification signal storing circuit 14 forms and stores a leading specification signals for specifying the position of the leading unit length information of an instruction to be fetched at the time of the succeeding instruction fetching based upon instruction length information outputted from the circuit groups  $13_1$  to  $13_N$ .

COPYRIGHT: (C)1992,JPO&Japio





## 【特許請求の範囲】

【請求項1】 命令長が命令毎に単位長で変化する3以上のN個の単位長命令を命令フェッチ時に供給されて各単位長命令毎に解読するN個のデコーダ(12<sub>1</sub>～12<sub>i</sub>、22<sub>1</sub>～22<sub>i</sub>)と、該N個のデコーダ(12<sub>1</sub>～12<sub>i</sub>、22<sub>1</sub>～22<sub>i</sub>)の出力信号と先頭指示信号又は前段の論理回路群の出力信号とから各命令の先頭の単位長命令の位置を指示する命令長情報を生成するN個の論理回路群(13<sub>1</sub>～13<sub>i</sub>、23<sub>1</sub>～23<sub>i</sub>)と、該N個の論理回路群(13<sub>1</sub>～13<sub>i</sub>、23<sub>1</sub>～23<sub>i</sub>)の出力する命令長情報から次の命令フェッチ時の命令の先頭の単位長命令の位置を指示する先頭指示信号を生成して保持する先頭指示信号保持回路(14、24)とを有することを特徴とする可変長命令解読方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は可変長命令解読方式に関し、可変長命令の命令長を解読する可変長命令解読方式に関する。

## 【0002】

【従来の技術】 近年のマイクロプロセッサは命令処理速度を向上させるため、その設計にいろいろな手法がとられている。その一つにパイプライン命令処理があり、RISC(Reduced Instruction set Computer)アーキテクチャの世界では、これをさらに発展させた複数命令同時実行方式を用いたマイクロプロセッサも市場にあらわれている。

【0003】 パイプライン命令処理の場合一つの命令処理を命令デコード、オペランドフェッチ等のいくつかの処理単位(ステージ)に分割し、ステージ単位で命令処理を進め、各命令の処理をオーバーラップさせることで命令処理速度の向上を図る。ここで命令デコードステージに着目した場合RISCアーキテクチャは大きな利点を持っている。それは命令長が固定であるため与えられた命令列の中でどこが先頭であるかということが、命令デコードを行なう前段階で判明しているという点である。そのため命令デコードに対する命令コード入力(命令先頭位置合わせ)を容易に行なうことができる。

【0004】 一方、CISC(Complex Instruction Set Computer)アーキテクチャの場合、命令長が可変である。図5は可変長命令フォーマットを説明する図である。図中、OPコードとは、命令機能情報を含んだビット列を意味し、EXTとは拡張部のことであり、OPコードにより規定される命令機能を実行する上で必要な定数ビット列を意味する。例えば、アドレス計算に使用するためのディスプレースメントであり、あるいは即値オペランド(イミディエート)である。命令先頭は常にOPコードよりなる単位長命令ビット列であり、拡張部が命令先頭になることはない。一命令中OPコードが基本であり、OPコード中のサイズフィールドで指定され

る定数サイズにより拡張部が何単位長になるかが決定する。この拡張部が可変であるので命令全体が可変長となっている。命令長1の命令はOPコードよりなっている。命令長2の命令はOPコードと一つのEXTよりなる。以下同様である。一命令中にOPコード1とOPコード2の二つのOPコードをもつ命令があるが、これはOPコード1で使用するオペランドがメモリフェッチ不要であるといった場合にOPコード2まで同時に演算処理可能であるので、命令解読もOPコード2まで同時に行なおうというものである。ここでは元々は64ビットマイクロプロセッサ16ビットを命令長の単位とする場合を考慮した命令フォーマットである。この場合EXT(定数)の最大長は64ビットであるので、最大命令長は6単位長命令(96ビット)となる。

【0005】 このため、与えられた命令列のどこが命令区切りであるか一度命令デコードを行なわねいと決定することが出来ない。従って一度命令デコードを行った後、次の命令コードのための命令先頭位置合わせのための時間をとることになり、この時間が前述のパイプライン処理に対してネックとなる。命令デコード以降のステージが高速になっても命令デコードへの命令入力に時間をとっては命令処理時間を短縮することができないからである。従ってCISCアーキテクチャの場合にも命令デコードステージを実行する前に命令長を知っておく必要が生じている。

## 【0006】

【発明が解決しようとする課題】 従来のCISCアーキテクチャのマイクロプロセッサにおいては、命令フェッチ段階で命令長のみを解読する命令プリデコーダは設けていないか、また設けていたとしても命令長を判別するものではなく、分岐命令等を先に解読しておく目的のものであった。このため命令長がわからないままパイプラインステージの命令デコードステージに入るため、次命令先頭判別を行うのに時間を要するという制約が生じ、命令処理速度を上げることが出来なかった。

【0007】 さらに、よしんば命令長を判別する命令プリデコーダを設けても、1マシンサイクルで一命令しか命令長を解読しなかった。このため命令フェッチがおそくなり、後続の実際の命令処理を行うパイプラインが命令フェッチと比較して高速に処理を終えてしまうのでパイプラインに空きが生じ、全体としての命令処理速度を上げることが出来ないという問題があった。

【0008】 本発明は上記の点に鑑みなされたもので、命令フェッチ段階で入力される可変長命令に含まれる多数命令の命令長を解読する可変長命令解読方式を提供することを目的とする。

## 【0009】

【課題を解決するための手段】 本発明の可変長命令解読方式は、命令長が命令毎に単位長で変化する3以上のN個の単位長命令を命令フェッチ時に供給されて各単位長

3

命令毎に解読するN個のデコーダと、N個のデコーダの出力信号と先頭指示信号又は前段の論理回路群の出力信号とから各命令の先頭の単位長命令の位置を指示する命令長情報を生成するN個の論理回路群と、N個の論理回路群の出力する命令長情報から次の命令フェッチ時の命令の先頭の単位長命令の位置を指示する先頭指示信号を生成して保持する先頭指示信号保持回路とを有する。

【0010】

【作用】本発明においては、デコーダによってどの単位長命令が各命令の先頭かを解読し、また先頭指示信号及び前段の論理回路群の命令長情報に基づいて命令情報を生成するため、誤りなく命令長情報を生成でき、この命令長情報に応じた命令バッファに格納する際に各命令の先頭位置合わせを行なうことができ、これによって後段のパイプライン処理で余計な空きステージが生じることがなく高速の命令処理を行なうことができる。

【0011】

【実施例】図2は本発明方式のデータ処理システムの一実施例のブロック図を示す。

【0012】同図中、データバス11、～11、夫々よりからパラレル供給されるN単位長命令の命令セットは一度に命令プリデコーダ2に供給される。命令プリデコーダ2は各単位長命令をデコードしてどの単位長命令が命令の先頭であるかを解読し、得られた命令長情報を上記N単位長命令と共に命令キャッシュ3に登録し、また命令バッファ4に供給する。

【0013】命令バッファ4には命令プリデコーダ2又は命令キャッシュより供給される命令が格納される。このときどの単位長命令が命令セットの先頭であるかが命令情報によって認識され先頭の位置合わせを行なった後格納される。各命令は先頭から命令デコーダ5に供給され、命令セットの解読及び処理が実行される。

【0014】図1は本発明方式の命令プリデコーダの一実施例のブロック図を示す。ここでは最大命令長が4単位長命令である命令セットを一度にN単位長命令だけ処理する場合について示している。

【0015】同図中、101、～101、夫々は単位長命令が外部より入来するデータバスであり、データバス101、～101、夫々よりの単位長命令はラッチ回路(LAT)111、～111、夫々にラッチされて、デコーダ(DEC)121、～121、夫々に供給される。

【0016】デコーダ(DEC)121、～121、夫々は各単位長命令をデコードし、単位長命令がOPコードを供給されたデコーダはサイズフィールドを解読して4系統の命令長情報信号11、～11、を出力する。この際、命令長1のときには11、のみをアサート(Hレベル)し、命令長2のときには11、12、をアサートし、命令長3のときには11、12、13、をアサートし、命令長4のときには11、12、13、14、を全てアサートする。また単位長命令がEXTを供給されたデコーダは単なるデ

4

ータ列が供給されているので、その命令長情報信号出力は不定になる。各デコーダ121、～121、夫々の命令長情報信号11、～11、夫々は論理回路群131、～131、夫々に供給され、ここで命令長情報信号111、～111、とされて出力される。論理回路群131、132、～131、夫々には命令長保持回路(VLT)14よりの無効指示信号が反転して供給され、論理回路群131、(1は4～Nの整数)夫々には前段の論理回路群131、132、～131、夫々の出力する命令長情報信号111、～111、112、～112、が反転して供給され、この無効指示信号又は前段の命令長情報信号がアサートされていたときにマスクされて、論理回路群131、の出力する命令長情報信号111、～111、は全てネゲートされる。

【0017】VLT14は命令長情報信号111、～111、を供給されて次マシサイクルでDEC121、～121、の出力のうち何単位長分無効とするべきかを割り出して例えば最大命令長4の場合ならDEC121、～121、に供給する無効指示信号をアサートする。つまり無効指示信号によって命令の先頭の単位長命令位置が指示されている。

【0018】これによって命令長3の命令がLAT111、を先頭としてLAT111、111、111、にラッチされた場合には論理回路群131、の出力信号111、112、113、がアサートされ、出力信号111、111、～111、が全てネゲートされて命令長3であることを指示する。

【0019】図3は図1における信号タイミングチャートを示す。データバス101、～101、に入来する図3(A)に示すN単位長の命令は図3(B)に示すタイミングでLAT111、～111、にラッチされ、DEC121、～121、でデコードされて図3(C)に斜線で示すタイミングで命令長情報が出力され、この命令長情報はLAT111、～111、にラッチされたN単位長の命令と共に図2に示す命令キャッシュ3及び命令バッファ4に供給される。

【0020】図4は命令プリデコーダの他の実施例のブロック図を示す。同図中、図1と同一部分には同一符号を付し、その説明を省略する。

【0021】デコーダ(DEC)221、～221、夫々は各単位長命令をデコードし、単位長命令がOPデコードを供給されたデコーダはサイズフィールドを解読して4系統の命令長情報信号11、～11、を出力する。この際、命令長1のときには11、のみをアサートし、命令長2のときには11、のみをアサートし、命令長3のときには11、のみをアサートし、命令長4のときには11、のみをアサートする。また単位長命令がEXTを供給されたデコーダは単なるデータ列が供給されているのでその命令長情報信号出力は不定になる。

【0022】各デコーダ121、～121、夫々の命令長情報信号11、～11、夫々は論理回路群231、～231、夫々に供給され、ここで命令長情報信号を111、～111、とされ

5

て出力される。論理回路群23<sub>i</sub>にはVLT14よりの有効指示信号が供給され、論理回路群23<sub>i</sub>にはVLT14よりの有効指示信号と命令長情報1<sub>i1</sub>との論理和が供給され、論理回路群23<sub>i</sub>にはVLT14よりの有効指示信号と命令長情報信号1<sub>i2</sub>、1<sub>i3</sub>の論理和が供給される。また論理回路群23<sub>i</sub>にはVLT14よりの有効指示信号と命令長情報信号1<sub>i1</sub>、1<sub>i2</sub>、1<sub>i3</sub>の論理和が供給される。また論理回路群23<sub>i</sub> (iは5~Nの整数) 夫々には命令長情報1<sub>i1</sub>、1<sub>i2</sub>、1<sub>i3</sub>の論理和が供給される。各論理回路群23<sub>i</sub>~23<sub>N</sub>夫々は論理和信号がアサートされたときのみ有効化されて動作を行ない、DEC22<sub>i</sub>~22<sub>N</sub>夫々から供給される命令長情報信号を出力する。

【0023】VLT24は命令長情報信号1<sub>i1</sub>~1<sub>i3</sub>を供給されて次マシンサイクルでDEC22<sub>i</sub>、22<sub>i</sub>、22<sub>i</sub>の出力のうちどの単位長命令を有効とするべきかを割り出して、例えば最大命令長4の場合ならDEC22<sub>i</sub>に供給する有効指示信号としてアサートする。つまり有効指示信号によって命令の先頭の単位長命令位置が指示されている。

【0024】これによって、命令長3の命令がLAT1<sub>1</sub>を先頭としてLAT1<sub>1</sub>、1<sub>1</sub>、1<sub>1</sub>にラッチされた場合には出力信号1<sub>1</sub>のみがアサートされ、出力信号1<sub>2</sub>~1<sub>3</sub>、1<sub>1</sub>~1<sub>1</sub>が全てネゲートされて命令長3であることを指示する。

【0025】このように、デコーダによってどの単位長命令が命令の先頭かを解釈し、また有効又は無効指示信号及び前段の論理回路群の命令長情報に基づいて命令長情報を生成するため、EXTのビットパターンがOP

6

コードと同一のビットパターンであったとしても誤りなく命令長情報を生成でき、この命令長情報に応じて命令バッファに格納する際に各命令の先頭位置合わせを行なうことができ、これによって後段のパイプライン処理で余計な空きステージが生じることがなく高速の命令処理を行なうことができる。

【0026】

【発明の効果】上述の如く、本発明の可変長命令解釈方式によれば、命令フェッチ段階で入力される可変長命令に含まれる多数命令の命令長を出来るだけ少ないサイクルで解釈することができ、実用上きわめて有用である。

【図面の簡単な説明】

【図1】本発明方式の命令プリデコーダの一実施例のブロック図である。

【図2】本発明方式のデータ処理システムの一実施例のブロック図である。

【図3】図1における信号タイミングチャートである。

【図4】本発明方式の命令プリデコーダの変形例のブロック図である。

20 【図5】可変長命令を説明するための図である。

【符号の説明】

2 命令プリデコーダ

3 命令キャッシュ

4 命令バッファ

5 命令デコーダ

11<sub>i</sub>~11<sub>N</sub> ラッチ回路

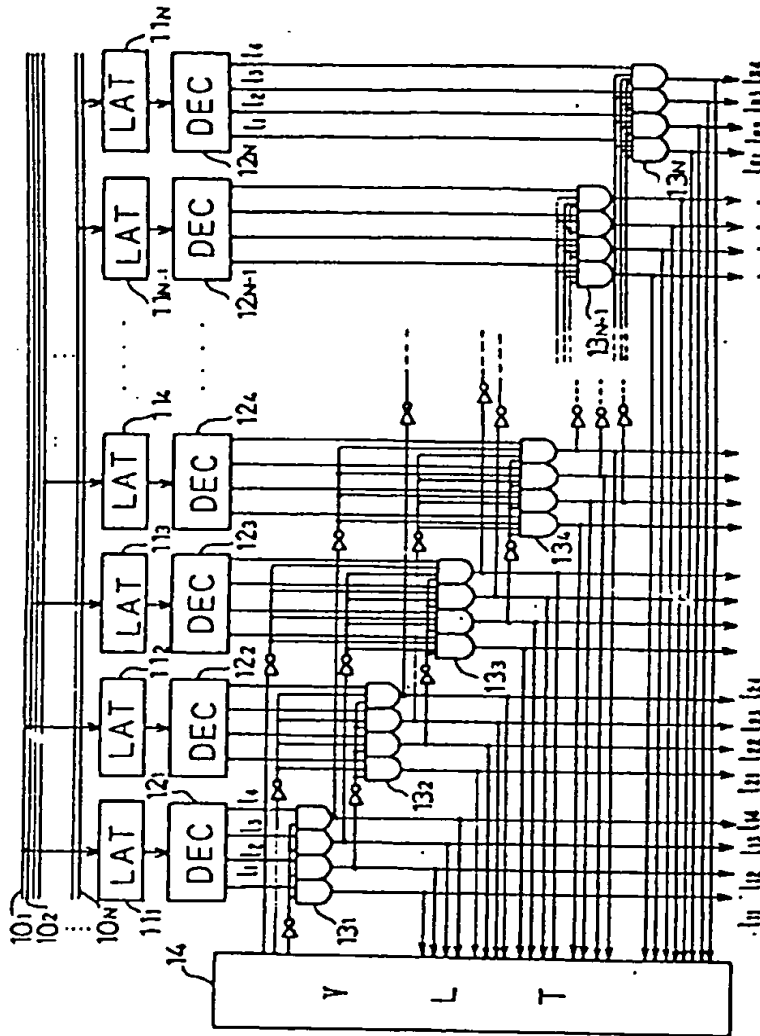
12<sub>i</sub>~12<sub>N</sub>、22<sub>i</sub>~22<sub>N</sub> デコーダ

13<sub>i</sub>~13<sub>N</sub>、23<sub>i</sub>~23<sub>N</sub> 論理回路群

14、24 命令長保持回路

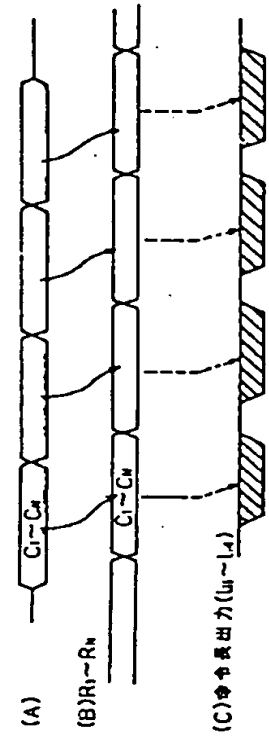
【図1】

本発明方式の命令プリデコーダのブロック図



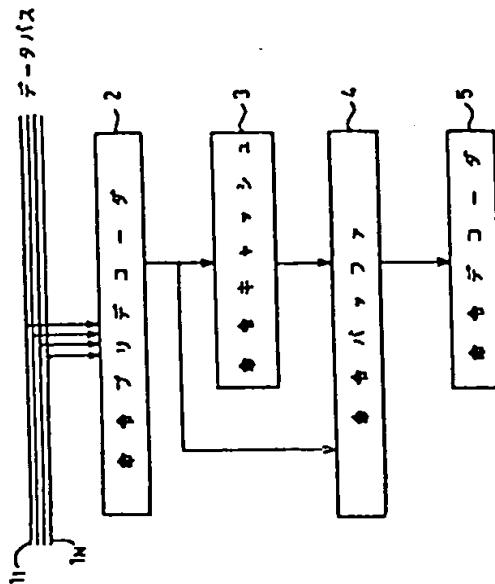
【図3】

図1における信号タイミングチャート



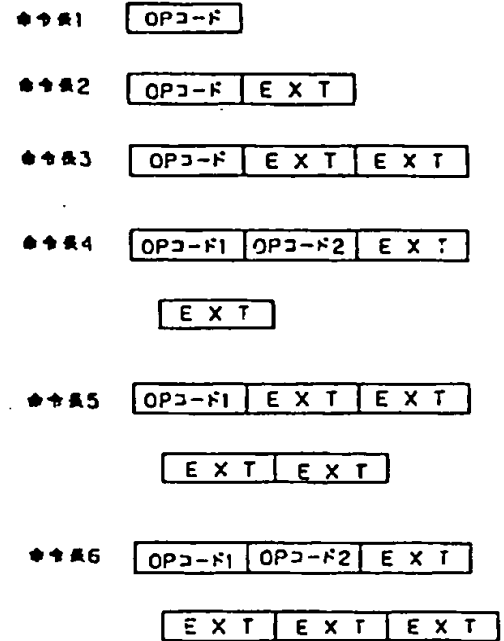
【図2】

本発明方式のデータ処理システムのブロック図



【図5】

可変長命令を説明するための図





【図4】

命令プリデコーダのブロック図

